

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-037000

(43)Date of publication of application : 07.02.1997

(51)Int.Cl.

H04N 1/00

B41J 5/30

B41J 29/38

G06F 3/12

H04N 1/21

(21)Application number : 07-189036

(71)Applicant : BROTHER IND LTD

(22)Date of filing : 25.07.1995

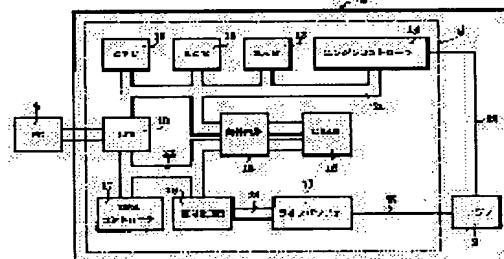
(72)Inventor : FUNABASHI SATOMITSU  
UBUKAWA HISAKI  
USAMI HAJIME

(54) PRINTER

(57)Abstract:

**PROBLEM TO BE SOLVED:** To enable printer control by a CPU even during data transfer by connecting a direct memory access(DMA) controller and a RAM through a local bus when continuously receiving image data from a host computer.

**SOLUTION:** A laser printer 1 forms an image by controlling an image forming mechanism 2 and an engine controller 3 for controlling this mechanism according to image data and control data supplied from a personal computer PC 4 as the host computer. An interface I/F 10 switches an interruption mode for supplying the control data supplied from the PC 4 through a CPU bus 21 to a CPU 11 and a transfer mode for supplying the similarly supplied image data through a local bus 22 to a DMA controller 17. An arbitration circuit 15 allows access to a DRAM 16 due to either the CPU 11 or the DMA controller 17. Thus, the receiving processing and image forming processing of image and control data can be simultaneously performed.



## LEGAL STATUS

[Date of request for examination]

27.03.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3079956

[Date of registration]

23.06.2000

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] The printer characterized by providing the following. The image formation means for forming a picture in the printer which forms a picture according to the image data and control data which are supplied from an external device. The receiving means for receiving the image data and control data which are connected to the aforementioned external device and supplied from the aforementioned external device. Control means for controlling the aforementioned image formation means according to the control data supplied from the aforementioned external device. The 2nd bus for connecting the 1st bus for connecting the aforementioned receiving means and the aforementioned control means, the storage means for storing the image data supplied from the aforementioned external device, the transfer means for performing directly the transfer to the aforementioned storage means of the image data supplied from the aforementioned external device without the aforementioned control means, and the aforementioned receiving means, the aforementioned storage means and the aforementioned transfer means.

[Claim 2] It is the printer according to claim 1 which is equipped with the following and characterized by the aforementioned mode change means changing the aforementioned transfer mode to the aforementioned interruption mode whenever a number of image data set up by the aforementioned number setting means of data is transmitted to the aforementioned storage means by the aforementioned transfer means. The number setting means of data for setting up arbitrarily the number of the image data which the aforementioned transfer means transmits to the aforementioned storage means continuously. Transfer mode which the aforementioned transfer means changes into the state where image data is receivable, through the aforementioned receiving means. The mode change means for changing the interruption mode which the aforementioned control means change into the state where control data is receivable, through the aforementioned receiving means.

[Claim 3] The printer carry out having had the mediation means for arbitrating access to the aforementioned storage means through the 1st bus of the above by the aforementioned control means, and access to the aforementioned storage means through the 2nd bus of the above by the aforementioned transfer means as the feature in a printer according to claim 1 while connecting the 1st bus of the above to the aforementioned storage means.

---

[Translation done.]

---

# \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001] [The technical field to which invention belongs] this invention relates to the printer which receives the image data and control data which are transmitted from an external device, and forms a picture.

[0002] [Description of the Prior Art] In order to receive the image data supplied from an external device, for example, a host computer, at high speed like the printer indicated by the former, for example, JP 64-36326 A, the printer which transmits image data to the memory in a printer with a direct memory access (Following DMA is called) method is known.

[0003] The printer which adopted the conventional DMA system is equipped with CPU for controlling a printer, the memory for storing image data, and the DMA controller for transmitting image data to direct memory, without minding CPU. And it connects mutually by bus where CPU, memory, and a DMA controller are common.

[0004] By the printer which adopted this DMA system, since a DMA controller transmits image data after CPU orders a DMA controller a transfer of image data, the write-in work to the memory of the image data based on CPU becomes unnecessary, and reception of image data can be accelerated.

[0005]

[Problem(s) to be Solved by the Invention] In the conventional printer, since it connects by one bus and a bus is occupied by the DMA controller while the DMA controller has transmitted image data to memory, as for control of a printer, CPU completely becomes however, impossible [ CPU, memory, and a DMA controller are common, namely, ].

[0006] Therefore, when a lot of image data is continuously transmitted by the DMA controller, since CPU cannot control a printer until a transfer of image data is completed, it has the problem that the image formation speed of a printer becomes slow. Now, since image formation speed becomes slow even if the receiving speed of image data becomes quick, there are few shortening effects of the processing time of having doubled the receiving time of image data and the formation time of a picture. Moreover, even if a certain abnormalities arise to a printer during a transfer of the image data based on a DMA controller, the problem that it cannot be coped with immediately also has CPU.

[0007] Whenever it lessens the amount of the image data which a DMA controller transmits at once, for example, on the other hand, transmits the data whose DMA controller is 1 byte so that there is no trouble in CPU controlling a printer, when a bus is vacated to CPU, there is a problem that the receiving speed of image data becomes slow.

[0008] The purpose of this invention is to offer the printer which can control a printer during reception of image data.

[0009] Another purpose of this invention is to offer the printer which can receive the image data supplied from an external device at high speed, without reducing the image formation speed of a printer.

[0010]

[Means for Solving the Problem] In order to attain this purpose, by the printer according to claim 1, the image data and control data which are supplied by the receiving means from an external device are received. The control data received by the receiving means is supplied to control means through the 1st bus, and control means control an image formation means according to control data.

[0011] On the other hand, the image data received by the receiving means is supplied to a transfer means through the 2nd bus, is transmitted to a storage means through the 2nd bus by the transfer means, and is stored.

[0012] Moreover, in addition to a printer according to claim 1, by the printer according to claim 2, the number of the image data which a transfer means transmits to a storage means continuously by the number setting means of data is set up arbitrarily. And whenever a number of image data set up by the number setting means of data is transmitted to a storage means by the mode change means by the transfer means, a change in the interruption mode in which control data is receivable is performed [ a transfer means ] for control means through a receiving means from the transfer mode in which image data is receivable, by it through a receiving means.

[0013] Furthermore, by the printer according to claim 3, in addition to a printer according to claim 1, the 1st bus is connected to a storage means and access to the storage means which minds access to the storage means through the 1st bus by control means and the 2nd bus by the transfer means by the mediation means is arbitrated.

[0014]

[Embodiments of the Invention] Hereafter, the form of operation of this invention is explained with reference to a drawing.

[0015] Drawing 1 is a block diagram showing the electric composition of the LASER beam printer which is one form of operation of this invention. It connects with the personal computer 4 (PC is called hereafter) as a host computer, and LASER beam printer 1 forms a picture in media, such as a regular paper, according to the image data and control data which are supplied from PC4. LASER beam printer 1 has the engine 2 including many mechanisms which form a picture by the laser method, such as an image formation mechanism and a form-feed mechanism, and the controller 3 for controlling this engine 2. About an engine 2, since it is the same as that of the existing LASER beam printer, the detailed explanation is omitted.

[0016] PC4 supplies image data and control data to LASER beam printer 1. Image data is data which compressed the bit map data showing a picture with the predetermined method, and control data are the data showing resolution, the data showing a newpage, data showing the number of the image data which transmits continuously at once (the block total byte count is called hereafter), etc.

[0017] The interface 10 which a controller 3 is connected to PC4 and receives image data and control data from PC4, 8-bit CPU11 which receives control data through an interface 10 and controls the whole printer, ROM12 which stored the control program performed by this CPU11, It has the engine controller 14 which outputs a control signal to an engine 2 based on the instructions of RAM13 and CPU11 in which various work memory etc. is prepared, and DRAM16 which stores image data.

[0018] The above-mentioned interface 10, CPU11, ROM12 and RAM13, the engine controller 14, and DRAM16 are mutually connected by CPU bus 21. The engine controller 14 and the engine 2 are connected by two or more signal lines 23.

[0019] The controller 3 is equipped with the decryption circuit 18 which elongates the compressed image data again, DMA controller 17 which reads the image data stored in DRAM16, and is transmitted to the decryption circuit 18 while receiving image data through an interface 10 and transmitting to DRAM16, and the line buffer 19 outputted to an engine 2 by making into a video signal the image data elongated by the decryption circuit 18.

[0020] The above-mentioned interface 10, the decryption circuit 18, DRAM16, and DMA

controller 17 are mutually connected by the local bus 22. The decryption circuit 18 and the line buffer 19 are connected by bus 24 of exclusive use, and the line buffer 19 and the engine 2 are connected by the signal line 25.

[0021] Although it connects with both the CPU bus 21 and the local bus 22 in order to enable

access by CPU11, and access by DMA controller 17, since CPU11 and DMA controller 17 cannot access DRAM16 simultaneously constitutionally, it is connected to the CPU bus 21 and the local bus 22 through the mediation circuit 15. The mediation circuit 15 permits access to DRAM16 by either of CPU11 and DMA controller 17.

[0022] In addition, elements other than DRAM16 of a controller 3 are formed into 1 chip as ASIC (Application-Specific Integrated Circuit; use specification type IC).

[0023] An interface 10 performs a change in the interruption mode which supplies the control data supplied from PC4 to CPU through the CPU bus 21, and the transfer mode which supplies the image data supplied from PC4 to DMA controller 17. Hereafter, based on drawing 2, the circuitry of the portion relevant to the mode change function of an interface 10 is explained.

[0024] The interface 10 is equipped with the register 50 connected to the 8-bit data bus D1 of CPU11 [07.00]. A down count is made whenever it transmits 1 byte of control signal with which the number of block data was set up by CPU11, and DMA controller 17 received the register 50 from the interface 10 to DRAM16.

[0025] To the signal inputted into an interface 10 Reset-signal RESET of the whole system supplied from the reset IC which is not illustrated. The system clock signal SCLK supplied from strobe signal STROBE supplied from PC4, and the VCO which is not illustrated. It is supplied from the light signals CPU [IOWR and ] 11 supplied from CPU11. Chip select signal CCMDCS for setting up a register 50, the bus licence signal CBG supplied from a mediation circuit, it is supplied from CPU11 and supplied from the chip select signals BTLCSS1 and CPU11 for setting up 8 bits of low ranks of a register 50. It is supplied from the chip select signals BTLCSS2 and CPU11 for setting up 8 bits of mediums of a register 50. It is supplied from the chip select signal BTLCSS3 for setting up 6 bits of high orders of a register 50, and DMA controller 17, and there is a transfer terminate signal CDMAEND showing the transfer having been completed to DRAM16 of 1 byte of image data by DMA controller 17 etc.

[0026] To the signal outputted from an interface 10 Strobe signal STROBE supplied from PC4 is followed at the time of interruption mode. In case a transfer of image data is started to DRAM16 by interrupt signal STBINT and DMA controller 17 which apply interruption to CPU11, the mediation circuit 15 is received. There is a transfer start signal CDMAENA which orders it the start of a transfer of image data to the bus demand signal CBR which requires access to DRAM16 through a local bus 22, and DMA controller 17.

[0027] There is a counted value zero signal GMODECLR showing the counted value of the mode change signal GMODE for changing reversal clock signal SCLKB and interruption mode which reversed the system clock signal SCLK as a signal, and transfer mode which are generated in the interface 10 interior, and a register 50 having become zero etc.

[0028] Next, operation of LASER beam printer 1 is explained. If the power supply of LASER beam printer 1 is turned on, reset-signal RESET will be supplied to an interface 10 by Reset IC. If reset-signal RESET is supplied to an interface 10, D flip-flop 51 will be cleared, the mode change signal GMODE outputted from D flip-flop 51 will serve as a low level, and interruption mode will be set up. While interruption mode is set up, the data supplied from PC4 are altogether supplied to CPU11 through the CPU bus 21 from an interface 10. In interruption mode, since access to DRAM16 by DMA controller 17 is not performed, CPU11 checks DRAM16.

[0029] Next, image data reception is explained based on the timing chart of drawing 3. In addition, the signs P, C, Q, J, and K indicated by each flip-flop of drawing 3 express presetting terminal, clear terminal, and D terminal, Q terminal, J terminal, and K terminal, respectively.

[0030] When strobe signal STROBE is supplied to an interface 10 from PC4 in interruption mode, interrupt signal STBINT is outputted from an interface 10, and interruption is \*\*\*\*\* to CPU11. Then, it is supplied to CPU11, the control data which expresses resolution through an interface 10 and the CPU bus 21 from PC4, and the block total byte count, for example, the control data showing 64KB (kilobyte). In addition, the block total byte count can be set as the most efficient any value according to the capacity of PC4, for example, the capacity of RAM which PC4 has.

[0031] CPU11 processes a resolution setup according to the control data showing resolution.

Moreover, CPU11 sets 00FFFFFFH(s) which express 64KB with a register 50 through a 8-bit data

bus while supplying the light signal IOWR and chip select signals BTLCSS1, BTLCSS2, and BTLCSS3 to an interface 10 according to the block total byte count and the control data showing 64KB. Then, CPU11 supplies chip select signal CCMDCS and the light signal IOWR to an interface 10, and writes high-level data in D flip-flop 51. The mode change signal GMODE outputted from D flip-flop 51 becomes high-level by this, and transfer mode is set up. While transfer mode is set up, the data supplied from PC4 are altogether supplied to DMA controller 17 through a local bus 22 from an interface 10.

[0032] In this state, if a strobe signal is supplied to an interface 10 from PC4, reception of image data of the 1st byte will be started. An interface 10 requires access to DRAM16 which carries out a bus demand signal CBR output, and minds [mediation / 15] the local bus 22 by DMA controller 17. If the bus demand signal CBR is answered and the bus licence signal CBG is supplied to an interface 10 from the mediation circuit 15, an interface 10 will output the transfer start signal CDMAENA to DMA controller 17 while supplying 1 byte of image data which received from PC4 following strobe signal STROBE to DMA controller 17. DMA controller 17 transmits the 1st byte of image data to DRAM16 through a local bus 22, and writes it in the predetermined address of DRAM16. If 1 byte of image data is transmitted to DRAM16, DMA controller 17 will supply the transfer terminate signal CDMAEND to an interface 10. If the transfer terminate signal CDMAEND is supplied, an interface 10 will cancel the bus demand signal CBR. Moreover, a register 50 performs down count operation which answers the transfer terminate signal CDMAEND and deducts 1 from the set block total number of data.

[0033] In this state, if PC4 to strobe signal STROBE is supplied to an interface 10, reception of image data of the 2nd byte will be started and the same processing as reception of image data of the 1st byte will be made. Thus, if every 1 byte of reception of image data is performed repeatedly and the image data which is 64KB is transmitted to DRAM16 by DMA controller 17, the counted value of a register 50 will serve as zero, and a register 50 will output the counted value zero signal GMODECLR through a flip-flop and a gate circuit. If the counted value zero signal GMODECLR is outputted, D flip-flop 51 of an interface 10 will be cleared, the mode change signal GMODE outputted from D flip-flop 51 will serve as a low level, and interruption mode will be set up.

[0034] When strobe signal STROBE is supplied to an interface 10 from PC4 in this interruption mode, interrupt signal STBINT is outputted from an interface 10, and interruption is \*\*\*\*\* to CPU11. Then, the control data which expresses resolution through an interface 10 and the CPU bus 21 from PC4, and the block total byte count and the control data showing 64KB are supplied to CPU11, and reception of 64KB of 2nd image data is performed, whenever [thus, / by which 64KB of image data is continuously transmitted to DRAM16 by DMA controller 17] — transfer mode — interruption — the mode — change — CPU11 confirms whether whenever it changes to interruption mode, 64KB of image data is received normally the neither more nor less. If image data is not received normally, CPU11 performs error processing of requiring the transmitting stop of image data from PC4.

[0035] Thus, a controller 3 repeats reception of the image data in every 64KB. Although PC4 divides the image data for 1 page into 64KB of block, repeats the transmission in every block and performs it, about the block in front of a newpage, the number of image data may not fill 64KB with it. In such a case, PC4 supplies the control data which expresses a value which is different in 64KB as control data showing the block total number of data to an interface 10 in the interruption mode before transmitting the image data of the block in front of a newpage.

[0036] After a transfer of the image data of the block in front of the newpage by DMA controller 17 is completed, an interface 10 interrupts and changes transfer mode to the mode. In this state, when there is image data of the following page, it is supplied to an interface 10, the control data which expresses a newpage from PC4, the control data showing resolution, and the block total byte count, i.e., the control data showing 64KB, and the image data reception mentioned above is repeated. When there is no image data of the following page, only the control data which expresses a newpage from PC4 is supplied to an interface 10.

[0037] Next, image formation processing is explained. When the control data which expresses a newpage through the CPU bus 21 from an interface 10 is supplied to CPU11, CPU11 makes

image formation operation with an engine 2 start. That is, CPU11 orders the engine controller 14 the drive of an image formation mechanism, a form-feed mechanism, etc. The engine controller 14 outputs a control signal to an engine 2 according to instructions of CPU11, and starts the drive of an engine 2.

[0038] On the other hand, CPU11 orders it read-out of the image data stored in DRAM16 through the interface 10 at DMA controller 17. According to instructions of CPU11, DMA controller 17 accesses DRAM16 through a local bus 22, and starts read-out of the image data stored in DRAM16. DMA controller 17 reads the image data of every one line from DRAM16, and transmits it to the decryption circuit 18 through a local bus 22. The decryption circuit 18 elongates the image data compressed, and supplies it to a line buffer 19 through the bus 24 of exclusive use. A line buffer 19 generates a video signal according to the supplied image data, and supplies it to an engine 2 through a signal line 25.

[0039] Thus, a video signal is supplied for a control signal to an engine 2 from a line buffer 19 from the engine controller 14, and image formation operation of a laser method is performed in it by the engine 2. Control of the engine 2 by CPU11 is performed through the CPU bus 21, and since the writing and read-out to DRAM16 of the image data based on DMA controller 17 are performed through a local bus 22, in case two or more image data for a page is supplied from PC4, they can perform image data reception and image formation processing simultaneously, and can realize shortening of the processing time.

[0040] In addition, the gist of the above-mentioned implementation --- setting --- PC4 --- an external device --- an engine 2 --- an image formation means --- an interface 10 --- a receiving means --- CPU11 --- control means --- the CPU bus 21 --- the 1st bus --- DMA controller 17 is equivalent to a transfer means, and a local bus 22 is equivalent to a storage means for DRAM16 by 2nd bus Moreover, D flip-flop 51 is equivalent to a mode change means, and the mediation circuit 15 is equivalent to the number setting means of data for the above-mentioned register 50 at a mediation means.

[0041]

[Effect of the Invention] the Ming kana since it explained above --- in a printer according to claim 1, control data is supplied to control means through the 1st bus among the data supplied from an external device like from a receiving means, and image data is supplied to a transfer means through the 2nd bus from a receiving means, and is stored in a storage means through the 2nd bus by the transfer means Since a transfer of the image data based on a transfer means is performed through the 2nd bus, the 1st bus by which control means are connected during the transfer of the image data based on a transfer means is not occupied by the transfer means.

[0042] Therefore, even if image data is receiving, control means become controllable [ an image formation means ]. Thereby, even if it transmits a lot of image data continuously by the transfer means, the image formation speed of an image formation means is slow, with a bird clapper, there is nothing and shortening of the processing time which doubled the receiving time and image formation time of image data is attained. Moreover, when a certain abnormalities arise to a printer during the image data transfer by the transfer means, control means can cope with it quickly. Furthermore, a transfer means lessens the amount of the image data transmitted at once, and since there is no need of delivering a bus to control means, high-speed reception of image data is attained.

[0043] Moreover, in a printer according to claim 2, whenever a number of image data arbitrarily set up by the number setting means of data is transmitted to a storage means by the transfer means, it interrupts from transfer mode by the mode change means, and a change in the mode is performed.

[0044] Therefore, in case a lot of image data is supplied to a printer from an external device, the opportunity for control means to communicate with an external device before all image data is supplied from an external device is given. Thereby, when reception of image data was not performed normally, or when a certain abnormalities occur to a printer, control means can cope with it, before all image data is supplied from an external device.

[0045] Moreover, an external device divides into two or more blocks all the image data that should be supplied to a printer based on the number of data set up by the number setting means

of data, creates image data for every block, and should just supply it to a printer. Namely, an external device should just create the image data of the following block, beginning to supply the image data to a printer, and supplying image data to a printer, if supply of image data is not started to a printer but the image data for 1 block is created, after creating all image data. Thereby, since creation of the image data based on an external device, and reception of the image data based on a printer and formation of a picture can be simultaneously performed in parallel, shortening of the processing time of the whole system including the external device and the printer is attained.

[0046] Furthermore, since the number setting means of data can set up the arbitrary numbers of data, it can set up the optimal number of data according to the capacity of the memory which an external device has. Even when there is little memory which an external device has even if, it can be coped with by the printer side by lessening the number of data set up by the number setting means of data so that there may be no trouble in transmission of the image data of an external device.

[0047] Furthermore, by the printer according to claim 3, access to the storage means which minds access to the storage means through the 1st bus by control means and the 2nd bus by the transfer means by the mediation means is arbitrated. Therefore, not only a transfer means but control means become accessible for a storage means, and the check of the storage means by control means is attained.

[Translation done.]

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

## DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is a block diagram showing the electric composition of the LASER beam printer of 1 operation gestalt of this invention.

[Drawing 2] It is the circuit diagram of the portion relevant to the mode change function of the interface of the above-mentioned LASER beam printer.

[Drawing 3] It is a timing chart showing the image data reception of the above-mentioned LASER beam printer.

[Description of Notations]

1 LASER Beam Printer

2 Engine

3 Controller

4 Personal Computer

10 Interface

11 CPU

15 Mediation Circuit

16 DRAM

17 DMA Controller

21 CPU Bus

22 Local Bus

50 Register

51 D Flip-flop

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-37000

(43) 公開日 平成9年(1997) 2月7日

(51)IntCl. <sup>6</sup>	識別記号	序内整理番号	F I	技術表示箇所
H 0 4 N	1/00		H 0 4 N	1/00 C
B 4 1 J	5/30		B 4 1 J	5/30 Z
	29/38			29/38 Z
G 0 6 F	3/12		G 0 6 F	3/12 A
H 0 4 N	1/21		H 0 4 N	1/21
審査請求 未請求 請求項の数 3 O L (全 8 頁)				

(21) 出願番号 特願平7-189036

(22) 出願日 平成7年(1995) 7月25日

(71) 出願人 000005267

ブラザー工業株式会社

愛知県名古屋市瑞穂区苗代町15番1号

(72) 発明者 船橋義充

名古屋市瑞穂区苗代町15番1号ブラザー工業株式会社内

(72) 発明者 生川寿樹

名古屋市瑞穂区苗代町15番1号ブラザー工業株式会社内

(72) 発明者 宇佐美元

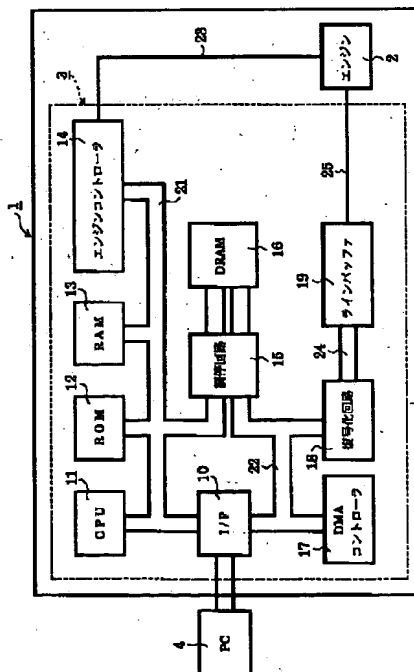
名古屋市瑞穂区苗代町15番1号ブラザー工業株式会社内

(54) 【発明の名称】 プリンタ

(57) 【要約】

【課題】 ホストコンピュータから送信される画像データを、プリンタ内のDMAコントローラによって受信している最中でも、プリンタ内のCPUによりプリンタの制御を可能にすること。

【解決手段】 ホストコンピュータに接続されるインターフェイスと、プリンタの制御を行なうCPUとをCPUバスで接続すると共に、インターフェイスと、画像データ格納するDRAMと、インターフェイスから受け取った画像データをDRAMへ転送するDMAコントローラとをローカルバスで接続する。





## 【特許請求の範囲】

【請求項1】 外部装置から供給される画像データ及び制御データに従って画像を形成するプリンタにおいて、画像を形成するための画像形成手段と、

前記外部装置に接続され、前記外部装置から供給される画像データ及び制御データを受信するための受信手段と、

前記外部装置から供給される制御データに従って前記画像形成手段を制御するための制御手段と、

前記受信手段と前記制御手段とを接続するための第1のバスと、

前記外部装置から供給される画像データを格納するための記憶手段と、

前記外部装置から供給される画像データの前記記憶手段への転送を前記制御手段を介さず直接行なうための転送手段と、

前記受信手段と前記記憶手段と前記転送手段とを接続するための第2のバスとを備えたことを特徴とするプリンタ。

【請求項2】 請求項1に記載のプリンタにおいて、前記転送手段が前記記憶手段へ連続して転送する画像データの数を任意に設定するためのデータ数設定手段と、

前記転送手段が前記受信手段を介して画像データを受信可能な状態にする転送モードと、前記制御手段が前記受信手段を介して制御データを受信可能な状態にする割り込みモードとを切り替えるためのモード切り替え手段とを備え、

前記モード切り替え手段は、前記データ数設定手段により設定された数の画像データが前記転送手段によって前記記憶手段へ転送される度に、前記転送モードを、前記割り込みモードに切り替えることを特徴とするプリンタ。

【請求項3】 請求項1に記載のプリンタにおいて、前記第1のバスを前記記憶手段に接続すると共に、前記制御手段による前記第1のバスを介する前記記憶手段へのアクセスと、前記転送手段による前記第2のバスを介する前記記憶手段へのアクセスとを調停するための調停手段を備えたことを特徴とするプリンタ。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、外部装置から送信される画像データ及び制御データを受信して画像を形成するプリンタに関する。

## 【0002】

【従来の技術】従来、例えば特開昭64-36326号公報に記載されているプリンタのように、外部装置、例えばホストコンピュータから供給される画像データを高速に受信するために、画像データをダイレクト・メモリ・アクセス（以下DMAと称す）方式によりプリンタ内のメモリへ転送するプリンタが知られている。

2

【0003】従来のDMA方式を採用したプリンタは、プリンタを制御するためのCPUと、画像データを格納するためのメモリと、CPUを介さず直接メモリへ画像データを転送するためのDMAコントローラとを備えている。そして、CPUとメモリとDMAコントローラとは、共通のバスにより互いに接続されている。

【0004】このDMA方式を採用したプリンタでは、CPUがDMAコントローラに画像データの転送を指令した後は、DMAコントローラが画像データの転送を行なうため、CPUによる画像データのメモリへの書き込み作業が不要となり、画像データの受信を高速化することができる。

## 【0005】

【発明が解決しようとする課題】しかしながら、従来のプリンタにおいては、CPUとメモリとDMAコントローラとが共通の、即ち1つのバスで接続されているため、DMAコントローラが画像データをメモリへ転送している間は、バスがDMAコントローラによって占有されるので、CPUはプリンタの制御が全くできなくなる。

【0006】従って、DMAコントローラにより連続して多量の画像データを転送すると、CPUは画像データの転送が終了するまではプリンタを制御できないため、プリンタの画像形成速度が遅くなるという問題がある。これでは、画像データの受信速度は速くなくても、画像形成速度は遅くなるので、画像データの受信時間と画像の形成時間とを合わせた処理時間の短縮効果は少ない。また、DMAコントローラによる画像データの転送中にプリンタになんらかの異常が生じても、CPUが即座に対処できないという問題もある。

【0007】一方、CPUがプリンタの制御を行なうのに全く支障の無いほど、DMAコントローラが一度に転送する画像データの量を少なくし、例えば、DMAコントローラが1バイトのデータを転送する度にCPUへバスを明け渡すようにすると、画像データの受信速度が遅くなるという問題がある。

【0008】本発明の目的は、画像データの受信中においても、プリンタの制御が可能なプリンタを提供することにある。

40 【0009】本発明の別の目的は、プリンタの画像形成速度を低下させることなく、外部装置から供給される画像データを高速に受信することが可能なプリンタを提供することにある。

## 【0010】

【課題を解決するための手段】この目的を達成するために、請求項1に記載のプリンタでは、受信手段により外部装置から供給される画像データ及び制御データが受信される。受信手段によって受信された制御データは、第1のバスを介して制御手段に供給され、制御手段は、制御データに従って画像形成手段を制御する。

50

【0011】一方、受信手段によって受信された画像データは、第2のバスを介して転送手段に供給され、転送手段により第2のバスを介して記憶手段に転送され格納される。

【0012】また、請求項2に記載のプリンタでは、請求項1に記載のプリンタに加えて、データ数設定手段により、転送手段が記憶手段へ連続して転送する画像データの数が任意に設定される。そして、モード切り替え手段によって、データ数設定手段により設定された数の画像データが転送手段によって記憶手段へ転送される度に、転送手段が受信手段を介して画像データを受信可能な転送モードから、制御手段が受信手段を介して制御データを受信可能な割り込みモードへの切り替えが行なわれる。

【0013】さらに、請求項3に記載のプリンタでは、請求項1に記載のプリンタに加えて、第1のバスが記憶手段に接続され、調停手段により、制御手段による第1のバスを介しての記憶手段へのアクセスと、転送手段による第2のバスを介しての記憶手段へのアクセスとが調停される。

【0014】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して説明する。

【0015】図1は、本発明の実施の一形態であるレーザープリンタの電氣的構成を表わすブロック図である。レーザープリンタ1は、ホストコンピュータとしてのパーソナルコンピュータ4（以下、PCと称す）に接続され、PC4から供給される画像データ及び制御データに従って、普通紙等の媒体に画像を形成する。レーザープリンタ1は、レーザー方式で画像を形成する画像形成機構や用紙送り機構等の諸機構を含むエンジン2と、このエンジン2を制御するためのコントローラ3とを有する。エンジン2については、既存のレーザープリンタと同様であるため、その詳しい説明は省略する。

【0016】PC4は、画像データと制御データとをレーザープリンタ1に供給する。画像データは、画像を表わすビットマップデータを所定の方式により圧縮したデータであり、制御データは、解像度を表わすデータ、改ページを表わすデータ、一度に連続して送信する画像データの数（以下、ブロック総バイト数と称す）を表わすデータ等である。

【0017】コントローラ3は、PC4に接続され、PC4から画像データ及び制御データを受信するインターフェイス10と、インターフェイス10を介して制御データを受信し、プリンタ全体の制御を行なう8ビットのCPU11と、このCPU11によって実行される制御プログラムを格納したROM12と、種々のワークメモリ等が設けられるRAM13と、CPU11の指令に基づいて制御信号をエンジン2へ出力するエンジンコントローラ14と、画像データを格納するDRAM16とを

備えている。

【0018】上記インターフェイス10、CPU11、ROM12、RAM13、エンジンコントローラ14、DRAM16は、CPUバス21により相互に接続されている。エンジンコントローラ14とエンジン2とは、複数の信号線23により接続されている。

【0019】コントローラ3は、また、圧縮された画像データを伸長する復号化回路18と、インターフェイス10を介して画像データを受信し、DRAM16へ転送すると共に、DRAM16に格納された画像データを読み出して復号化回路18へ転送するDMAコントローラ17と、復号化回路18により伸長された画像データをビデオ信号としてエンジン2へ出力するラインバッファ19とを備えている。

【0020】上記インターフェイス10、復号化回路18、DRAM16、DMAコントローラ17は、ローカルバス22により相互に接続されている。復号化回路18とラインバッファ19とは専用のバス24で接続されており、ラインバッファ19とエンジン2とは信号線25で接続されている。

【0021】DRAM16は、CPU11によるアクセスとDMAコントローラ17によるアクセスとを可能にするため、CPUバス21とローカルバス22との両方に接続されているが、構成上CPU11とDMAコントローラ17とが同時にアクセスすることはできないので、調停回路15を介してCPUバス21とローカルバス22とに接続されている。調停回路15は、CPU11とDMAコントローラ17とのいずれか一方によるDRAM16へのアクセスを許容する。

【0022】なお、コントローラ3のDRAM16以外の要素は、ASIC（Application Specified Integrated Circuit; 用途特定型IC）として、1チップ化されている。

【0023】インターフェイス10は、PC4から供給される制御データをCPUバス21を介してCPUへ供給する割り込みモードと、PC4から供給される画像データをDMAコントローラ17へ供給する転送モードとの切り替えを行なう。以下、図2に基づいて、インターフェイス10のモード切り替え機能に関連する部分の回路構成について説明する。

【0024】インターフェイス10は、CPU11の8ビットのデータバスDI[07...00]に接続されるレジスタ50を備えている。レジスタ50は、CPU11によってブロックデータ数が設定され、DMAコントローラ17がインターフェイス10から受け取った1バイトの制御信号をDRAM16へ転送する度にダウンカウントがなされる。

【0025】インターフェイス10に入力される信号には、図示しないリセットICから供給されるシステム全体のリセット信号RESET、PC4から供給されるス

トローブ信号STROBE、図示しない発振器から供給されるシステムクロック信号SCLK、CPU11から供給されるライト信号IOWR、CPU11から供給され、レジスタ50を設定するためのチップセレクト信号CCMDCS、調停回路から供給されるバス使用許可信号CBG、CPU11から供給され、レジスタ50の下位8ビットを設定するためのチップセレクト信号BTLC S1、CPU11から供給され、レジスタ50の中位8ビットを設定するためのチップセレクト信号BTLC S2、CPU11から供給され、レジスタ50の上位6ビットを設定するためのチップセレクト信号BTLC S3、DMAコントローラ17から供給され、DMAコントローラ17により画像データ1バイトのDRAM16へ転送が終了したことを表わす転送終了信号CDMAEND等がある。

【0026】インターフェイス10から出力される信号には、割り込みモードのとき、PC4から供給されるストローブ信号STROBEに従って、CPU11に割り込みをかける割り込み信号STBINT、DMAコントローラ17によりDRAM16へ画像データの転送を開始する際に、調停回路15に対して、ローカルバス22を介してのDRAM16へのアクセスを要求するバス要求信号CBR、DMAコントローラ17に対して、画像データの転送の開始を指令する転送開始信号CDMAENA等がある。

【0027】インターフェイス10内部で発生される信号としては、システムクロック信号SCLKを反転した反転クロック信号SCLKB、割り込みモードと転送モードとを切り替えるためのモード切り替え信号GMODE、レジスタ50のカウント値がゼロになったことを表わすカウント値ゼロ信号GMODECLR等がある。

【0028】次に、レーザープリンタ1の動作について説明する。レーザープリンタ1の電源がONされると、リセットICによりリセット信号RESETがインターフェイス10に供給される。インターフェイス10にリセット信号RESETが供給されると、Dフリップフロップ51がクリアされ、Dフリップフロップ51から出力されるモード切り替え信号GMODEがロウレベルとなり、割り込みモードが設定される。割り込みモードが設定されている間は、PC4から供給されるデータは、すべてインターフェイス10からCPUバス21を介してCPU11に供給される。割り込みモードにおいては、DMAコントローラ17によるDRAM16へのアクセスは行なわれないため、CPU11はDRAM16のチェックを行なう。

【0029】次に、図3のタイミングチャートに基づいて画像データ受信処理について説明する。なお、図3の各フリップフロップに記載されている記号P、C、D、Q、J、Kは、それぞれ、プリセット端子、クリア端子、D端子、Q端子、J端子、K端子を表わす。

【0030】割り込みモードにおいて、PC4からストローブ信号STROBEがインターフェイス10に供給されると、割り込み信号STBINTがインターフェイス10から出力され、CPU11に割り込みがかけらる。続いてPC4からインターフェイス10、CPUバス21を介して解像度を表わす制御データと、ブロック総バイト数、たとえば64KB（キロバイト）を表わす制御データとがCPU11に供給される。なお、ブロック総バイト数は、PC4の能力、例えばPC4が有するRAMの容量に従って、最も効率のよい任意の値に設定することができる。

【0031】CPU11は、解像度を表わす制御データに従って、解像度設定の処理をする。また、CPU11は、ブロック総バイト数、64KBを表わす制御データに従って、インターフェイス10にライト信号IOWR、チップセレクト信号BTLC S1、BTLC S2、BTLC S3を供給すると共に、8ビットのデータバスを介してレジスタ50に64KBを表わす00FFFFHをセットする。続いて、CPU11は、インターフェイス10にチップセレクト信号CCMDCS、ライト信号IOWRを供給してDフリップフロップ51にハイレベルのデータを書き込む。これにより、Dフリップフロップ51から出力されるモード切り替え信号GMODEがハイレベルとなり、転送モードが設定される。転送モードが設定されている間は、PC4から供給されるデータは、すべてインターフェイス10からローカルバス22を介してDMAコントローラ17に供給される。

【0032】この状態で、PC4からストローブ信号がインターフェイス10に供給されると、1バイト目の画像データの受信が開始される。インターフェイス10は調停回路15にバス要求信号CBR出力し、DMAコントローラ17によるローカルバス22を介してのDRAM16に対するアクセスを要求する。バス要求信号CBRに応答して調停回路15からバス使用許可信号CBGがインターフェイス10に供給されると、インターフェイス10は、ストローブ信号STROBEに続いてPC4から受信した1バイトの画像データをDMAコントローラ17に供給すると共に、DMAコントローラ17に転送開始信号CDMAENAを出力する。DMAコントローラ17は、ローカルバス22を介して1バイト目の画像データをDRAM16へ転送し、DRAM16の所定のアドレスに書き込む。1バイトの画像データをDRAM16へ転送するとDMAコントローラ17は、転送終了信号CDMAENDをインターフェイス10に供給する。転送終了信号CDMAENDが供給されるとインターフェイス10は、バス要求信号CBRを解除する。また、レジスタ50は、転送終了信号CDMAENDに  
50 応答して、セットされたブロック総データ数から1を差し引くダウンカウント動作を行なう。

【0033】この状態で、PC4からストローブ信号S

TROBEがインターフェイス10に供給されると、2バイト目の画像データの受信が開始され、1バイト目の画像データの受信と同様の処理がなされる。このようにして、画像データの受信が1バイトずつ繰り返行なわれ、64KBの画像データがDMAコントローラ17によりDRAM16へ転送されると、レジスタ50のカウント値はゼロとなり、レジスタ50はフリップフロップ及びゲート回路を介してカウント値ゼロ信号GMODECLRを出力する。カウント値ゼロ信号GMODECLRが出力されると、インターフェイス10のDフリップフロップ51がクリアされ、Dフリップフロップ51から出力されるモード切り替え信号GMODEがローレベルとなり、割り込みモードが設定される。

【0034】この割り込みモードにおいて、PC4からストロブ信号STROBEがインターフェイス10に供給されると、割り込み信号STBINTがインターフェイス10から出力され、CPU11に割り込みがかけられる。続いてPC4からインターフェイス10、CPUバス21を介して解像度を表わす制御データと、ブロック総バイト数、64KBを表わす制御データとがCPU11に供給され、2回目の64KBの画像データの受信処理が行なわれる。このようにして、64KBの画像データが連続してDMAコントローラ17によりDRAM16へ転送される度に、転送モードが割り込みモードに切り替えらる。CPU11は、割り込みモードに切り替わる度に、64KBの画像データが過不足なく正常に受信されているかをチェックする。もし、画像データが正常に受信されていないならば、CPU11は、PC4に対して画像データの送信中止を要求する等のエラー処理を実行する。

【0035】このようにして、コントローラ3は、64KBごとの画像データの受信を繰り返す。PC4は、1ページ分の画像データを64KBのブロックに分割して、1ブロックごとの送信を繰り返行なうのであるが、改ページ直前のブロックに関しては、画像データの数が64KBに満たない場合がある。このような場合、PC4は改ページ直前のブロックの画像データを送信する前の割り込みモードにおいて、ブロック総データ数を表わす制御データとして、64KBとは異なる値を表わす制御データをインターフェイス10に供給する。

【0036】インターフェイス10は、DMAコントローラ17による改ページ直前のブロックの画像データの転送が終了すると、転送モードを割り込みモードに切り替える。この状態で、次のページの画像データがある場合には、PC4から改ページを表わす制御データと、解像度を表わす制御データと、ブロック総バイト数、則ち64KBを表わす制御データとが、インターフェイス10に供給され、上述した画像データ受信処理が繰り返される。次のページの画像データがない場合には、PC4から改ページを表わす制御データのみがインターフェイ

ス10に供給される。

【0037】次に、画像形成処理について説明する。インターフェイス10からCPUバス21を介して改ページを表わす制御データがCPU11に供給されると、CPU11は、エンジン2による画像形成動作を開始させる。即ち、CPU11はエンジンコントローラ14に画像形成機構や用紙送り機構等の駆動を指令する。エンジンコントローラ14はCPU11の指令に従ってエンジン2に制御信号を出力し、エンジン2の駆動を開始する。

【0038】一方、CPU11は、インターフェイス10を介してDMAコントローラ17に、DRAM16に格納された画像データの読み出しを指令する。CPU11の指令に従って、DMAコントローラ17はローカルバス22を介してDRAM16にアクセスし、DRAM16に格納された画像データの読み出しを開始する。DMAコントローラ17は、DRAM16から画像データを1ライン分ずつ読み出し、ローカルバス22を介して復号化回路18に転送する。復号化回路18は、圧縮されている画像データを伸長し、専用のバス24を介してラインバッファ19に供給する。ラインバッファ19は、供給された画像データに従ってビデオ信号を発生し、信号線25を介してエンジン2に供給する。

【0039】このようにして、エンジン2には、エンジンコントローラ14から制御信号が、ラインバッファ19からビデオ信号が供給され、エンジン2によりレーザ方式の画像形成動作が行なわれる。CPU11によるエンジン2の制御は、CPUバス21を介して実行され、DMAコントローラ17による画像データのDRAM16への書き込み及び読み出しはローカルバス22を介して行なわれるため、PC4から複数ページ分の画像データが供給される際には、画像データ受信処理と画像形成処理とを同時に行なうことができ、処理時間の短縮を実現できる。

【0040】なお、上記実施の形態において、PC4が外部装置に、エンジン2が画像形成手段に、インターフェイス10が受信手段に、CPU11が制御手段に、CPUバス21が第1のバスに、DRAM16が記憶手段に、DMAコントローラ17が転送手段に、ローカルバス22が第2のバスに相当する。また、上記レジスタ50がデータ数設定手段に、Dフリップフロップ51がモード切り替え手段に、調停回路15が調停手段に相当する。

【0041】

【発明の効果】以上説明したことから明かなように、請求項1に記載のプリンタにおいては、外部装置から供給されるデータの内、制御データは受信手段から第1のバスを介して制御手段に供給され、画像データは受信手段から第2のバスを介して転送手段へ供給され、転送手段によって第2のバスを介して記憶手段に格納される。転

送手段による画像データの転送は、第2のバスを介して行なわれるため、転送手段による画像データの転送中に、制御手段が接続されている第1のバスが転送手段により占有されることはない。

【0042】従って、画像データの受信中でも、制御手段は画像形成手段の制御が可能となる。これにより、転送手段によって多量の画像データを連続して転送しても、画像形成手段の画像形成速度が遅くなることはなく、画像データの受信時間と画像形成時間とを合わせた処理時間の短縮が達成される。また、転送手段による画像データ転送中にプリンタになんらかの異常が生じた場合には、制御手段が迅速に対処することができる。さらに、転送手段が一度に転送する画像データの量を少なくして、バスを制御手段に明け渡す必要が無いので、画像データの高速受信が可能になる。

【0043】また、請求項2に記載のプリンタにおいては、データ数設定手段により任意に設定された数の画像データが転送手段によって記憶手段へ転送される度に、モード切り替え手段によって転送モードから割り込みモードへの切り替えが行なわれる。

【0044】従って、外部装置からプリンタへ大量の画像データが供給される際、制御手段は外部装置からすべての画像データが供給される前に外部装置と通信する機会が与えられる。これにより、画像データの受信が正常に行なわれなかった場合や、プリンタになんらかの異常が発生した場合、制御手段は外部装置からすべての画像データが供給される前に対処することができる。

【0045】また、外部装置はプリンタに供給すべき全ての画像データを、データ数設定手段により設定されるデータ数に基づいて複数のブロックに分け、各ブロックごとに画像データを作成してプリンタに供給すればよい。即ち、外部装置は全ての画像データを作成してからプリンタへ画像データの供給を開始するのではなく、1ブロック分の画像データが作成できたらその画像データをプリンタへ供給し始め、画像データをプリンタへ供給しながら次のブロックの画像データを作成すればよい。これにより、外部装置による画像データの作成と、プリンタによる画像データの受信及び画像の形成を並列的に

同時に行なうことができるため、外部装置とプリンタとを含めたシステム全体の処理時間の短縮が可能になる。

【0046】さらに、データ数設定手段は任意のデータ数を設定できるため、外部装置が有するメモリの容量に応じて最適なデータ数を設定することができる。たとえ外部装置の有するメモリが少ない場合でも、データ数設定手段により設定されるデータ数を少なくすることにより、外部装置の画像データの送信に支障が無いよう、プリンタ側で対処することができる。

10 【0047】さらに、請求項3に記載のプリンタでは、調停手段により、制御手段による第1のバスを介しての記憶手段へのアクセスと、転送手段による第2のバスを介しての記憶手段へのアクセスとが調停される。従って、転送手段だけではなく、制御手段も記憶手段にアクセス可能となり、制御手段による記憶手段のチェックが可能になる。

#### 【図面の簡単な説明】

【図1】本発明の一実施形態のレーザープリンタの電気的構成を表わすブロック図である。

20 【図2】上記レーザープリンタのインターフェイスのモード切り替え機能に関連する部分の回路図である。

【図3】上記レーザープリンタの画像データ受信処理を表わすタイミングチャートである。

#### 【符号の説明】

1 レーザープリンタ

2 エンジン

3 コントローラ

4 パーソナルコンピュータ

10 インターフェイス

30 11 CPU

15 調停回路

16 DRAM

17 DMAコントローラ

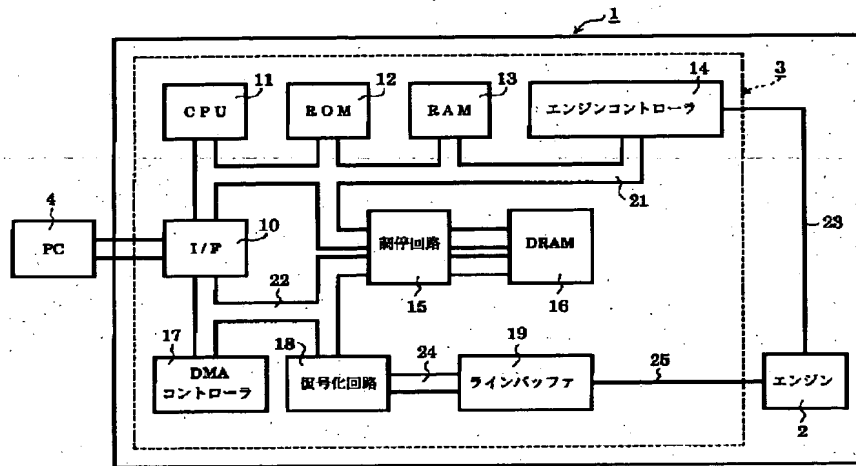
21 CPUバス

22 ローカルバス

50 レジスタ

51 Dフリップフロップ

【図1】



【図 3】

